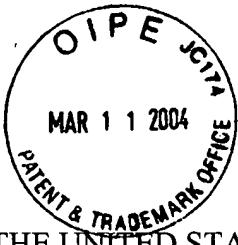


03500.017650



PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:)
TOSHIAKI SATO, ET AL.) Examiner: Unassigned
Application No.: 10/688,997) Group Art Unit: Unassigned
Filed: October 21, 2003)
For: IMAGE PICKUP ELEMENT,)
 IMAGE PICKUP DEVICE, AND :
 DIFFERENTIAL)
 AMPLIFYING CIRCUIT : March 11, 2004

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMISSION OF PRIORITY DOCUMENTS

Sir:

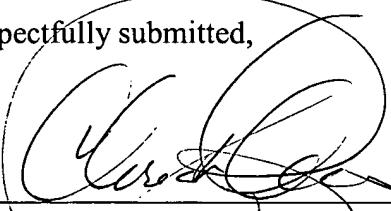
In support of Applicants' claim for priority under 35 U.S.C. § 119, enclosed are certified copies of the following foreign applications:

2002-309784, filed October 24, 2002; and

2002-316310, filed October 30, 2002.

Applicants' undersigned attorney may be reached in our Washington, D.C. office by telephone at (202) 530-1010. All correspondence should continue to be directed to our address given below.

Respectfully submitted,



Attorney for Applicants

Registration No. 32,078

FITZPATRICK, CELLA, HARPER & SCINTO
30 Rockefeller Plaza
New York, New York 10112-3800
Facsimile: (212) 218-2200

CPW\gmc

DC_MAIN 160056v1

CFO 17650

日本国特許庁
JAPAN PATENT OFFICE

Appln. No. 10/688,997 U.S./sei
Filed 10/21/03
10 Shiaki Sato, et al.

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2002年10月24日

出願番号 Application Number: 特願 2002-309784

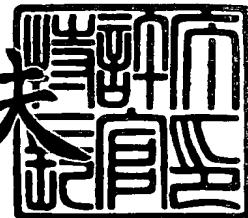
[ST. 10/C]: [JP 2002-309784]

出願人 Applicant(s): キヤノン株式会社

2003年11月11日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 4828005
【提出日】 平成14年10月24日
【あて先】 特許庁長官 太田 信一郎 殿
【国際特許分類】 H04N 5/335
【発明の名称】 撮像素子及び撮像装置
【請求項の数】 4
【発明者】
【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会社
内
【氏名】 佐藤 俊明
【発明者】
【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会社
内
【氏名】 乾 文洋
【発明者】
【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会社
内
【氏名】 板野 哲也
【発明者】
【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会社
内
【氏名】 小倉 正徳
【特許出願人】
【識別番号】 000001007
【住所又は居所】 東京都大田区下丸子3丁目30番2号
【氏名又は名称】 キヤノン株式会社
【代表者】 御手洗 富士夫
【電話番号】 03-3758-2111

【代理人】

【識別番号】 100090538

【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会社
内

【弁理士】

【氏名又は名称】 西山 恵三

【電話番号】 03-3758-2111

【選任した代理人】

【識別番号】 100096965

【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会
社内

【弁理士】

【氏名又は名称】 内尾 裕一

【電話番号】 03-3758-2111

【手数料の表示】

【予納台帳番号】 011224

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9908388

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 撮像素子及び撮像装置

【特許請求の範囲】

【請求項 1】 被写体像を撮像する複数の画素と、前記複数の画素からの信号を増幅するゲイン切り換え可能な増幅手段とを同一半導体基板上に形成した撮像素子であって、

前記増幅手段は、前記複数の画素からの信号を増幅する第1の増幅手段と、前記第1の増幅手段からの信号を増幅する、前記第1の増幅手段に直列に接続された第2の増幅手段とを有し、前記第1の増幅手段においては、第1の倍数毎にゲインが切り替わり、前記第2の増幅手段においては、前記第1の倍数と異なる第2の倍数毎にゲインが切り替わることを特徴とする撮像素子。

【請求項 2】 請求項1に記載の撮像素子において、前記撮像素子外部から前記増幅手段のゲイン切り換えを行うための制御信号を入力する入力端子と、前記入力端子からの時系列的な信号を、並列的な信号に変換する変換手段とを有し、前記増幅手段は、前記変換手段からの信号によって制御されることを特徴とする撮像素子。

【請求項 3】 請求項1又は2に記載の撮像素子において、前記第1の増幅手段は、電圧を電流に変換して出力する電圧-電流変換回路であり、前記第2の増幅手段は、電流を電圧に変換して出力する電流-電圧変換回路であることを特徴とする撮像素子。

【請求項 4】 請求項1乃至3のいずれか1項に記載の撮像素子と、前記増幅手段からの信号をデジタル信号に変換するアナログ・デジタル変換回路と、前記アナログ・デジタル変換回路からの信号を処理する信号処理回路とを有することを特徴とする撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、被写体像を撮像する撮像素子及びそれを用いた撮像装置に関する。

【0002】

【従来の技術】

近年、デジタルスチルカメラやデジタルビデオカメラ等の画像入力機器の高機能化、高性能化に伴い、それらに採用されている撮像素子には高精細化、高感度化といった要求が高まってきている。

【0003】

図5はこれら撮像素子の内部構成を示す図である。図5において撮像部101は2次元的に配列された画素102により構成されている。本撮像素子の動作は、まず光が照射され各画素102に光信号が蓄積された後、垂直走査回路103の動作により2次元配列された第1行目V1が選択される。続いて選択されたV1行の各画素102に蓄積されていた光信号は、垂直出力線H1～H5を介して各々の垂直出力線に接続されたラインメモリ104に転送される。その後、水平走査回路105の動作により読み出しスイッチ106を順次駆動することによって、ラインメモリ104に蓄えられた信号を共通出力線107へ読み出し、增幅回路110にて増幅されて出力端子Outより出力される。次に、再び垂直走査回路103の動作によって第2行目V2が選択され、以下これらの動作を繰り返す。

【0004】

図6、7を用いて上記撮像素子における読み出し動作について詳細に説明する。図6は選択されたある画素102から信号を読み出す回路を示しており、図5のラインメモリ104、読み出しスイッチ106、共通出力線107、增幅回路110に対応し、より詳細に表したものである。図7はそのタイミングを表す図である。

【0005】

図6においてQ1、Q2は画素102からの出力をラインメモリCts、Ctnに転送するスイッチ、Q3、Q4はラインメモリCts、Ctnより共通読み出し線107へ読み出すためのスイッチ、Chs、Chnは読み出し容量であり、一般的には共通出力線107に付属する配線容量などの寄生容量で形成される。Q5、Q6は読み出し容量Chs、Chnのリセットスイッチであり、109はChs、Chnに読み出された信号をインピーダンス変換するバッファアンプ、110は演算増幅器108と抵抗素子R1、R2で構成される引算器である。

【0006】

図示しないが画素に画像情報である光信号を蓄積するには、はじめに残像による画質の劣化を防ぐため以前の画像情報をリセットせねばならない。この時画素102にはリセットノイズVnが発生する。このリセットノイズもまたSNの低下を招き、画質を劣化させる原因となるため除去せねばならない。そのためまず、画素102をリセットした直後に転送パルスPt nによりQ2をオンし、リセットノイズVnをラインメモリCtnに書き込む。次に露光制御信号Pt vによりシャッターなどの露光制御手段を駆動し、画素102に光を照射して光信号を蓄積する。蓄積が終了すると転送パルスPt sによりQ1をオンして画素102の出力VsをラインメモリCtsに書き込む。この時の画素出力Vsには露光によって発生した光信号のほかに、前述したリセットノイズVnが含まれている。ラインメモリCts、Ctnに蓄えられた信号はその後、水平走査回路の出力パルスPhにより転送スイッチQ3、Q4が同時にオンすることによって各々、共通出力線107の読み出し容量Chs、Chnに読み出される。この時ラインメモリCts、Ctn上の信号電荷は読み出し容量Chs、Chnとで容量分割されるのでChs、Chn上の電圧は各々以下のようなになる。

【0007】

$$Vchs = Vs \times Cts / (Cts + Chs) \quad (1)$$

$$Vchn = Vn \times Ctn / (Ctn + Chn) \quad (2)$$

こうして読み出された信号は各々バッファアンプ109を介して引算器110に入力され出力電圧Voutを得る。

【0008】

$$Vout = (Vchn - Vchs) \times R2 / R1 \quad (3)$$

ここでCts=Ctn=Ct、Chs=Chn=Chとすると

$$Vout = (Vn - Vs) \times (Ct / (Ct + Ch)) \times R2 / R1 \quad (4)$$

となりリセットノイズ成分を含む光出力VsからリセットノイズVnが引かれて、SNの良好な出力が得られる。つぎに共通出力線107はリセットパルスPchresによりQ5、Q6がオンすることによってリセットされ、次の画素出力の読み出しに備える。

【0009】

ここで（3）式より明らかなように、引算器110では抵抗素子R1、R2によってゲインR2/R1が掛かっている。このように撮像素子にゲインを設定するブロックを有することは、例えばデジタルスチルカメラの場合、暗い被写体を高感度で撮影したい場合はゲインを高くすることで必要な画像が得られる。また露出が大きい場合に、画像の白つぶれを防ぐためにゲインを低く設定することが可能になるなどメリットが多い。このような用途で使用される場合の可変ゲインアンプは従来、図8のように構成されている。図8は図6で示したラインメモリ部から共通出力線への読み出しブロックは省略し、バッファアンプ109以降の引算器のみを示している。図6の引算器との違いは、複数の抵抗素子を直列に接続し、各々の接続部にスイッチSWの一方を接続し、他の一方を共通接続して演算増幅器108の非反転、反転両入力端子に各々接続している点である。この構成により、設定したいゲインの値に応じて複数あるスイッチSWのうち、いかをを選択することで抵抗比R2/R1を設定することができ、露光量に対して適正な信号振幅を選択し、後段のA/Dコンバータなどの信号処理回路に信号を伝達することを可能にしている。

【0010】

【発明が解決しようとする課題】

図9はデジタルスチルカメラにおけるゲイン設定の一例を示す図であるが、デジタルスチルカメラの場合はこれまで、横軸に示す露出量の2倍、4倍といった2の整数乗の設定に対して、出力がログリニアの関係になる様、縦軸に示す可変ゲインアンプのゲイン値を決定していた（図中黒丸で表示）。しかしながら、デジタルカメラの普及や高性能化により、より高画質な画像の実現が要求される昨今では、更に細かいレベルでのゲイン設定が要求されてきている。すなわち図9の白丸で示すような21/3倍というような設定も用意する必要が出てきている。なお、図9では簡単のため21/3倍毎の切替を例にしているが、ゲイン設定の可変幅はその要求によって任意であり、これに限らない。このようにゲイン設定の幅がより細かくなってくると上記図8で説明した従来の可変ゲインアンプの構成では、すべての組合せをひとつの演算増幅器で実現せねばならないため、抵

抗素子およびスイッチSWの数が膨大になってしまふ。例えば図9に示した21／3倍毎にゲイン切替を行なう例では2-1～23までの組合せは13通りにおよび、このため演算増幅器の入力容量が大きくなつて回路の応答性能が十分に得られなかつたり、チップの占有面積が大きくなつたりするなどの欠点があつた。

【0011】

そこで本発明の目的は、ゲインアンプの性能を劣化させることなく、またチップ面積の増加によってコストアップを生じることのない可変ゲインアンプを有する撮像素子を提供することにある。

【0012】

【課題を解決するための手段】

上記課題を解決するために、被写体像を撮像する複数の画素と、前記複数の画素からの信号を増幅するゲイン切り換え可能な増幅手段とを同一半導体基板上に形成した撮像素子であつて、前記増幅手段は、前記複数の画素からの信号を増幅する第1の増幅手段と、前記第1の増幅手段からの信号を増幅する、前記第1の増幅手段に直列に接続された第2の増幅手段とを有し、前記第1の増幅手段においては、第1の倍数毎にゲインが切り替わり、前記第2の増幅手段においては、前記第1の倍数と異なる第2の倍数毎にゲインが切り替わることを特徴とする撮像素子を提供する。

【0013】

【発明の実施の形態】

(第1の実施形態)

図1は、被写体像を撮像する複数の画素等と同一半導体基板上に形成されるゲイン切り換え可能な増幅回路である。この増幅回路は、図5の撮像素子の110の部分に配置される。

【0014】

同図においても図8と同様にラインメモリ部から共通出力線への読み出しブロックは省略し、バッファアンプ109以降についてのみを示している。図8との違いは、第1の演算増幅器108と複数の抵抗素子R1、R2およびスイッチSW1で構成される第1の増幅手段である引算器に加え、第2の演算増幅器108

と複数の抵抗素子R3、R4およびスイッチSw2で構成される第2の増幅手段である反転増幅器が、引算器に直列接続されている点である。

【0015】

本実施の形態によれば、出力電圧Voutは以下のように表される。

$$V_{out} = (V_{chn} - V_{chs}) \times (R2/R1) \times (R4/R3) \dots (5)$$

すなわち、可変ゲインアンプ部におけるゲインは

$$Gain = (R2/R1) \times (R4/R3) \dots (6)$$

である。ここで、R2/R1、R4/R3のスイッチSw1およびスイッチSw2で選択される値を

$$R2/R1 = 2^{-1}, 2^0, 2^1, 2^2, 2^3, \dots (7)$$

$$R4/R3 = 2^1/3, 2^2/3, 2^0, \dots (8)$$

となるようにしておけば、8個の抵抗素子とスイッチの組み合わせで2⁻¹～2³まで、2¹/3倍毎にゲインを設定することが可能となる。例えばトータルゲインを2⁴/3に設定したい場合は、初段のゲインR2/R1を2¹、次段のゲインR4/R3を2¹/3になるように設定すれば

$$(R2/R1) \times (R4/R3) = 2^1 \times 2^1/3 = 2^4/3 \dots (9)$$

となって所望のゲインが実現できる。

【0016】

以上説明したように初段のゲインを2の整数乗、次段のゲインを初段より切替幅の小さい2の1/3乗毎に切替られるようにし、これらを従属接続すれば前述した従来例よりも少ない抵抗素子とスイッチでゲイン設定が実現できる。なお、本実施の形態では説明を簡単にするために2¹/3倍毎にゲインを設定する例を用いたがこれには限らない。例えば更に細かい2¹/6倍毎にゲインを設定するすれば、ゲイン切替手段を3段用意し、初段のゲインを2の整数乗、2段目のゲインを2の1/2乗、3段目のゲインを2の1/3乗毎に切替られるようにし、これらを直列接続すればよい。

【0017】

(第2の実施形態)

図2は本発明の第2の実施の形態を示す図であり、被写体像を撮像する複数の画素等と同一半導体基板上に形成されるゲイン切り換え可能な増幅回路である。この増幅回路は、図5の撮像素子の110の部分に配置される。

【0018】

本実施の形態における増幅回路は光信号電圧とリセットノイズの差電圧を電圧-電流変換する初段と、カレントミラー回路および電圧-電流変換された光信号とノイズとの差電流を再び電圧に変換する第2段より構成されている。

【0019】

まず、共通出力線へ読み出されたリセットノイズ V_{chn} と光信号電圧 V_{chs} は各々、第1、第2の演算増幅器108の非反転入力端子に入力される。各演算増幅器の出力端子はNMOSトランジスタQ7、Q8のゲート電極へ接続され、ソース電極は各々演算増幅器108の反転入力端子および定電流源111へ接続され、かつ複数のスイッチSw3を介して複数の抵抗素子R5へ共通接続されている。Q7、Q8のドレインは第1、第2のカレントミラー回路112、113の入力であるところのPMOSトランジスタQ9、Q10のドレインへ接続されている。第1のカレントミラー回路112の出力であるところのQ11のドレインは第三のカレントミラー回路114の入力トランジスタQ13のドレインに接続され、該第三のカレントミラー回路114の出力トランジスタQ14のドレインは前記第2のカレントミラー回路113の出力であるところのトランジスタQ12のドレインおよび第3の演算増幅器108の反転入力端子へ接続されている。

【0020】

以上のように、第1の増幅手段である、第1、第2の演算増幅器108、NMOSトランジスタQ7、複数のスイッチSw3、複数の抵抗素子R5、第1のカレントミラー回路112、前記第2のカレントミラー回路113及び第3のカレントミラー回路114により電圧を電流に変換している。

【0021】

該第3の演算増幅器108の反転入力端子と出力端子の間には複数のスイッチSw4と抵抗素子R6が接続されている。このように、第2の増幅手段である、

第3の演算増幅器108、複数のスイッチSw4及び抵抗素子R6により、電流を電圧に変換している。

【0022】

本実施の形態によるゲイン切り換え可能な増幅回路の動作を詳細に説明する。

【0023】

第1、第2の演算増幅器108は非反転入力端子電圧をバッファするので、抵抗素子R5の両端には $V_{chn} - V_{chs}$ なる電位差が生じ、これにより差電流Iが流れる。

【0024】

$$I = (V_{chn} - V_{chs}) / R5 \cdots (10)$$

【0025】

この差電流によって第1、第2のカレントミラー回路112、113の入力電流は各々 $I_0 + I$ 、 $I_0 - I$ のように変化する。第1のカレントミラー回路112の出力電流 $I_0 + I$ は第3のカレントミラー回路114に入力されるので、第2、第3のカレントミラー回路113、114の出力トランジスタQ12とQ14のドレインが接続された節点からは各々の差電流 $2I$ が生じ、これが抵抗素子R6を流れることにより、出力電圧 V_{out} を得る。すなわち、

$$\begin{aligned} V_{out} &= 2I \times R6 \\ &= 2(V_{chn} - V_{chs}) \times (R6 / R5) \cdots (11) \end{aligned}$$

(11)式より明らかなように、本実施例によるゲインアンプのゲインは

$$Gain = 2 \times (R6 / R5) \cdots (12)$$

で表されるので、

$$R5 = 2^{-2} \times R, 2^{-1} \times R, 2^0 \times R, 2^1 \times R, 2^2 \times R \cdots (13)$$

$$R6 = 2^1 / 3 \times R, 2^2 / 3 \times R, 2^0 \times R \cdots (14)$$

となるようにすれば8組の抵抗素子とスイッチの切替で 2^{-1} から 2^3 まで $2^1 / 3$ 倍毎のゲイン切替が可能となる。例えばトータルゲインを $2^4 / 3$ に設定したい場合は、 $R5 = 2^0 \times R$ 、 $R6 = 2^1 / 3 \times R$ を選択すれば

$$Gain = R6 / R5 = 2 \times (2^1 / 3 / 2^0) = 2^4 / 3 \cdots (15)$$

となって所望のゲインが実現できる。

【0026】

(第3の実施形態)

図3はゲイン切り換え可能な増幅回路117と被写体像を撮像する複数の画素とを同一半導体基板上に形成した撮像素子を示す図である。

【0027】

ここで、増幅回路の構成は、第1の実施の形態の構成であっても、第2の実施の形態の構成であってもよい。

【0028】

前述の通り2-1から23まで $2^{1/3}$ 倍毎のゲイン切替には13通りあるため、ゲイン切替を行うには外部より4ビットの制御信号を入力する必要がある。今後更にゲイン切替幅が細分化されると、制御端子数は一層増加しチップ面積の増加にもつながる。本実施の形態ではゲイン切替制御をシリアル通信で実施することを特徴としている。すなわち、シリアル通信回路115と該シリアル通信回路からシリーパラ変換して所望のゲイン切替データに変換する変換手段であるデコーダ116を有し、該デコーダの出力によって、増幅回路117のゲインを切替える。図4はシリアル通信に必要なパルスを示すタイミング図である。同図によれば、通信イネーブルパルスLOADがハイの期間中にデータ通信が行われ、データ(DATA)はシリアル通信クロックSCLKに同期してラッチされる。本実施の形態によれば、ゲイン切替を行うための制御信号はSCLK、LOAD、DATAの3本のみで済むため微細なゲイン切替に対しても、制御信号入力を増大せしめることのない撮像素子の供給が可能となる。

【0029】

(第4の実施形態)

図10に基づいて、上記で説明した実施形態1～3で説明した撮像素子を用いた撮像装置について説明する。

【0030】

図10において、1はレンズのプロテクトとメインスイッチを兼ねるバリア、2は被写体の光学像を撮像素子4に結像させるレンズ、3はレンズ2を通った光量を可変するための絞り、4はレンズ2で結像された被写体を画像信号として取

り込むための撮像素子、5は、撮像素子4から出力される画像信号を増幅するゲイン可変アンプ部及びゲイン値を補正するためのゲイン補正回路部等を含む撮像信号処理回路、6は固体撮像素子4より出力される画像信号のアナログ-デジタル変換を行うA/D変換器、7はA/D変換器6より出力された画像データに各種の補正を行ったりデータを圧縮する信号処理部、8は固体撮像素子4、撮像信号処理回路5、A/D変換器6、信号処理部7に、各種タイミング信号を出力するタイミング発生部、9は各種演算とスチルビデオカメラ全体を制御する全体制御・演算部、10は画像データを一時的に記憶する為のメモリ部、11は記録媒体に記録または読み出しを行うためのインターフェース部、12は画像データの記録または読み出しを行う為の半導体メモリ等の着脱可能な記録媒体、13は外部コンピュータ等と通信する為のインターフェース部である。

【0031】

次に、前述の構成における撮影時のスチルビデオカメラの動作について説明する。

【0032】

バリア1がオープンされるとメイン電源がオンされ、次にコントロール系の電源がオンし、更にA/D変換器6などの撮像系回路の電源がオンされる。

それから、露光量を制御する為に、全体制御・演算部9は絞り3を開放にし、固体撮像素子4から出力された信号はA/D変換器6で変換された後、信号処理部7に入力される。

【0033】

そのデータを基に露出の演算を全体制御・演算部9で行う。

【0034】

この測光を行った結果により明るさを判断し、その結果に応じて全体制御・演算部9は絞りを制御する。

【0035】

次に、固体撮像素子4から出力された信号をもとに、高周波成分を取り出し被写体までの距離の演算を全体制御・演算部9で行う。その後、レンズを駆動して合焦か否かを判断し、合焦していないと判断した時は、再びレンズを駆動し測距

を行う。

【0036】

そして、合焦が確認された後に本露光が始まる。

【0037】

露光が終了すると、固体撮像素子4から出力された画像信号はA/D変換器6でA/D変換され、信号処理部7を通り全体制御・演算部9によりメモリ部に書き込まれる。

【0038】

その後、メモリ部10に蓄積されたデータは、全体制御・演算部9の制御により記録媒体制御I/F部を通り半導体メモリ等の着脱可能な記録媒体12に記録される。

【0039】

また、外部I/F部13を通り直接コンピュータ等に入力して画像の加工を行ってもよい。

【0040】

【発明の効果】

以上説明したように、性能を劣化させることなく、またチップ面積の増加によってコストアップを生じさせることなく、ゲインの切り換えが可能となる。

【図面の簡単な説明】

【図1】

ゲイン切り換え可能な增幅回路を表す図である。

【図2】

ゲイン切り換え可能な增幅回路を表す図である。

【図3】

撮像素子を表す図である。

【図4】

図3の撮像素子におけるシリアル通信のタイミングを示す図である。

【図5】

撮像素子を表す図である。

【図6】

撮像素子の読み出し回路を説明する図である。

【図7】

撮像素子の読み出しのタイミングを示す図である。

【図8】

従来のゲイン切り替え可能な増幅回路を表す図である。

【図9】

ゲイン切替の1例を説明する図である。

【図10】

撮像装置を表す図である。

【符号の説明】

101 撮像素子の撮像部

102 画素

103 垂直走査回路

104 ラインメモリ

105 水平走査回路

106 転送スイッチ

107 共通出力線

108 演算増幅器

109 バッファアンプ

110 増幅回路

111 定電流源

112 第1のカレントミラー回路

113 第2のカレントミラー回路

114 第3のカレントミラー回路

115 シリアル通信回路

116 デコーダ

117 増幅回路

R1～R6 抵抗素子

S w～S w 4 スイッチ素子

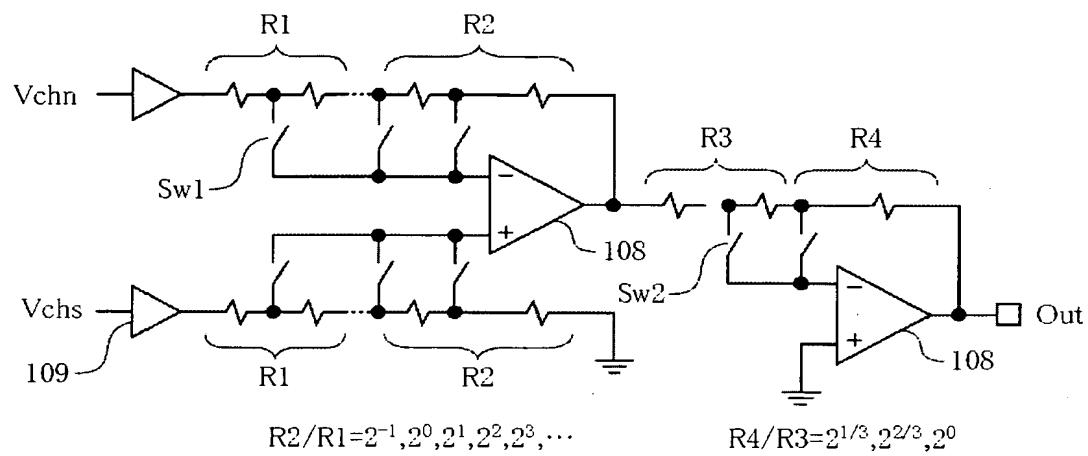
Q 1～Q 1 4 トランジスタ

C t s、C t n ラインメモリ

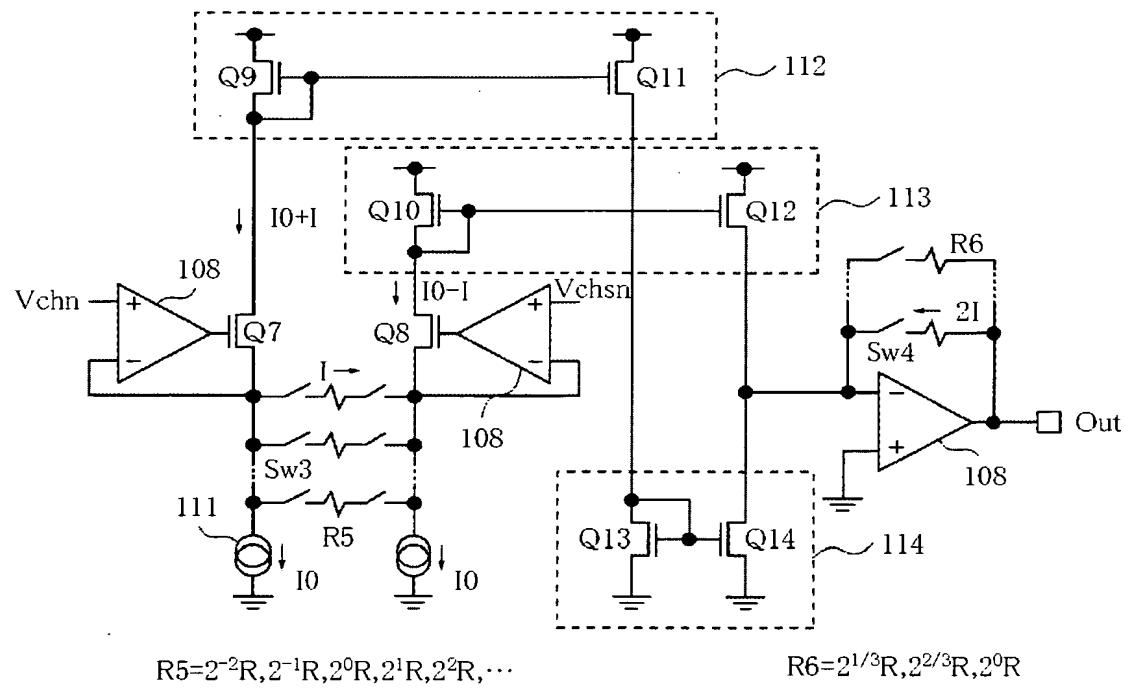
C h s、C h n 読み出し容量

【書類名】 図面

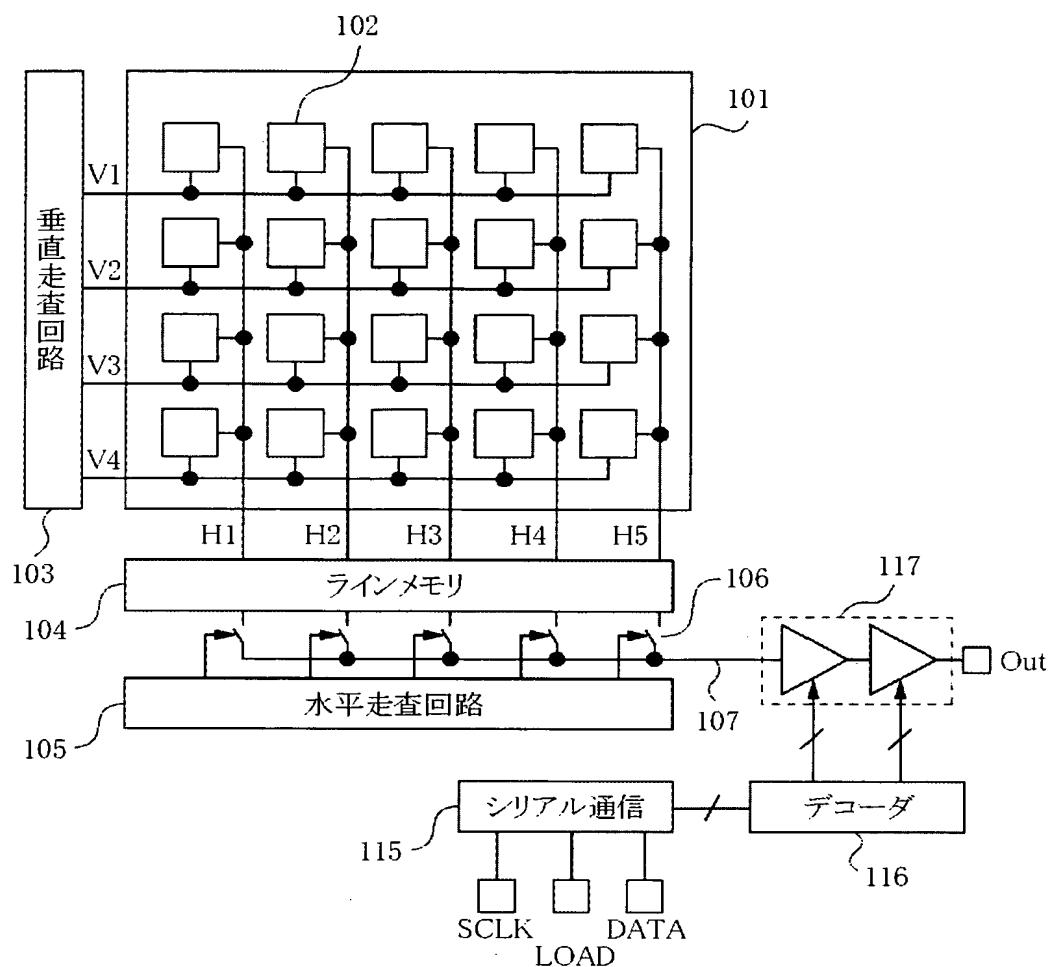
【図 1】



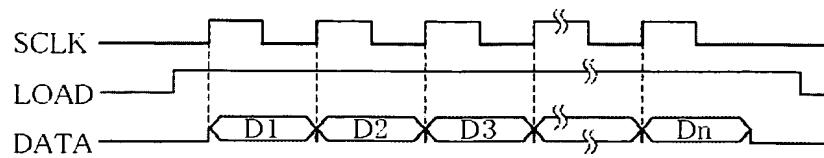
【図2】



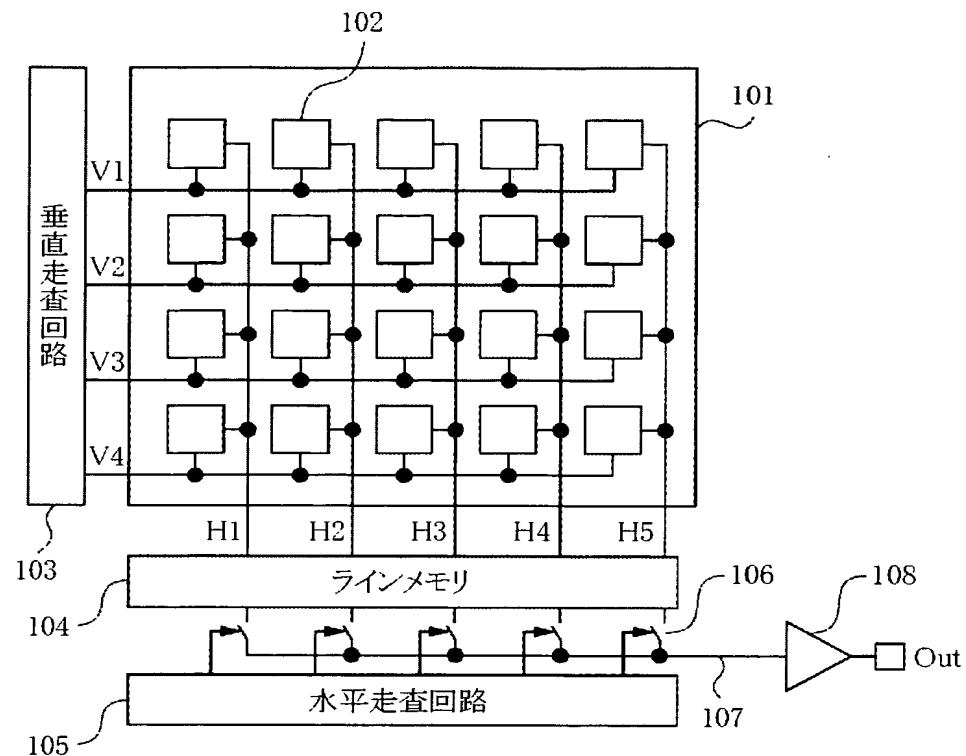
【図3】



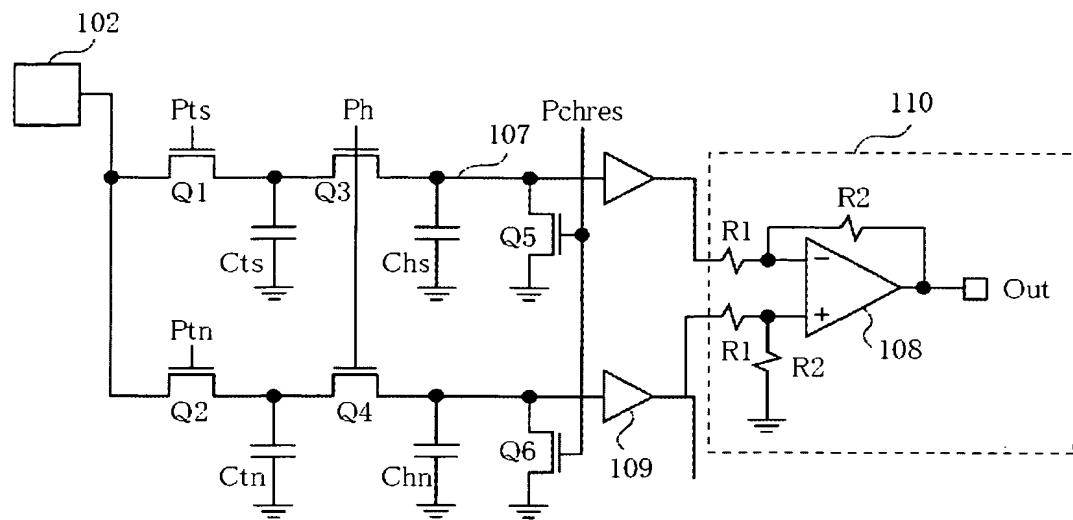
【図4】



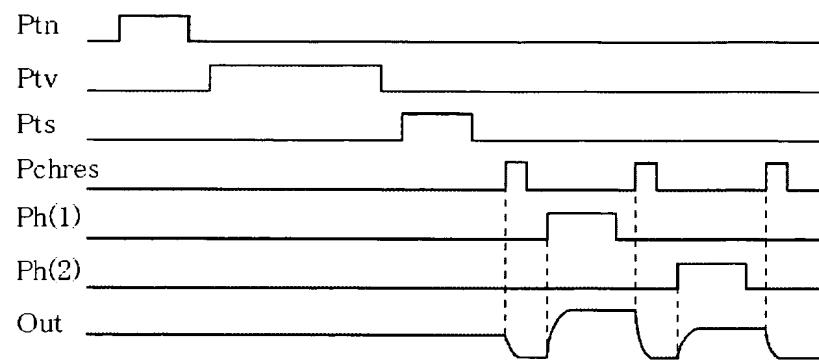
【図 5】



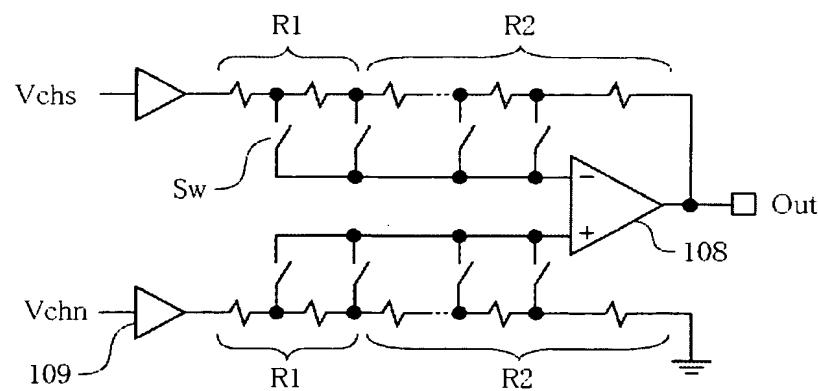
【図6】



【図7】

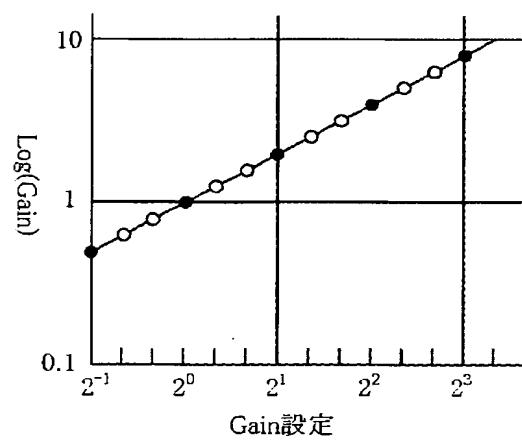


【図8】

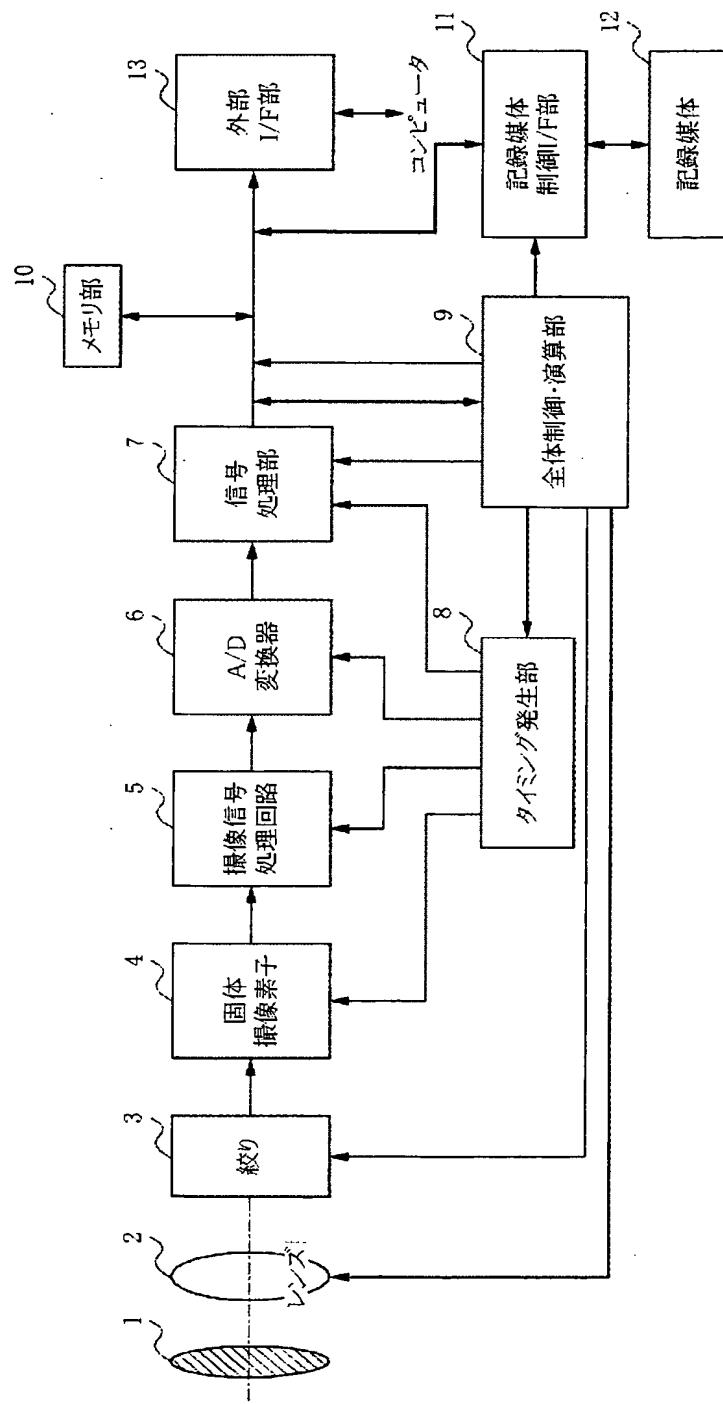


$$R2/R1 = 2^{-1}, 2^{-2/3}, 2^{-1/3}, 2^0, 2^{1/3}, 2^{2/3}, 2^1, \\ 2^{4/3}, 2^{5/3}, 2^2, 2^{7/3}, 2^{8/3}, 2^3, \dots$$

【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 性能を劣化させることなく、またチップ面積の増加によってコストアップを生じさせることなく、ゲインの切り換えが可能とすることを課題とする。

【解決手段】 被写体像を撮像する複数の画素と、前記複数の画素からの信号を増幅するゲイン切り換え可能な増幅手段とを同一半導体基板上に形成した撮像素子であって、前記増幅手段は、前記複数の画素からの信号を増幅する第1の増幅手段と、前記第1の増幅手段からの信号を増幅する、前記第1の増幅手段に直列に接続された第2の増幅手段とを有し、前記第1の増幅手段においては、第1の倍数毎にゲインが切り替わり、前記第2の増幅手段においては、前記第1の倍数と異なる第2の倍数毎にゲインが切り替わることを特徴とする撮像素子。

【選択図】 図1

特願2002-309784

出願人履歴情報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住所 東京都大田区下丸子3丁目30番2号
氏名 キヤノン株式会社